

제 TFT 게이트 전압 증가에 따른 캐패시턴스 변화특성이 실험적으로 측정되고 연구 되었다.

2. 실험 및 측정 방법

본 연구에서 설계하여 제작한 a-Si:H TFT의 구조도는 그림 1 과 같다. 웨이퍼는 N-type <100> 방향 4인치 실리콘 웨이퍼이며 웨이퍼 세척은 H₂O₂:H₂SO₄=1:1 용액에 초음파 세척 한 후 고순도 3차 증류수에서 세척 하였다. TFT 제조를 위한 사진식각 마스크 패턴은 모두 3장으로 설계하였는데 첫번째 마스크는 게이트 패턴용이고, 2번째 마스크는 SiN₃ 와 a-Si:H 증착용 패턴이며, 3번째 마스크는 드레인 과 소스 증착용 패턴이다. 1100°C 에서 200Å 의 실리콘 옥사이드를 성장하였으며 게

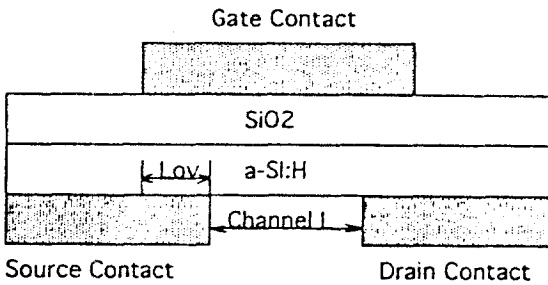


그림 1. 스태거형 TFT의 구조도.

Fig. 1. Structure of inverted staggered a-Si:H thin film transistor.

이트는 알루미늄(Al)을 스퍼터에 의해서 증착 하였다. TFT 마스크 레이어아웃은 그래픽 터미널 에서 에디터 패키지를 이용하여 설계 하였다. 이와같이 설계된 TFT는 pattern generator로 전송 하여서 photoplate mask 를 직접 제작 하였으며 채널 폭 1,000 μm, 채널길이가 각각 25,50,100,150 μm 인 TFT 4개를 하나의 실리콘 웨이퍼 다이(die) 에 제작 하였다. TFT 제작공정의 개요도를 그림2에 나타 낸다.

캐패시턴스 및 제 특성측정은 HP4275 LCR meter, HP4145 semiconductor parameter analyser 와 dark probe station을 사용하였는데 선로 캐패시턴스와 외부 노이즈를 최소화하기 위하여 LCR meter의 연결선은 동축 케이블을 사용하였다.

TFT 캐패시턴스의 특성 실험을 하기 위해서 위와같이 제작된 웨이퍼를 Compress Device Die Saw를 이용하여 차른다음 각각의 다바이스를 packaging 하여서 진행 하였다.

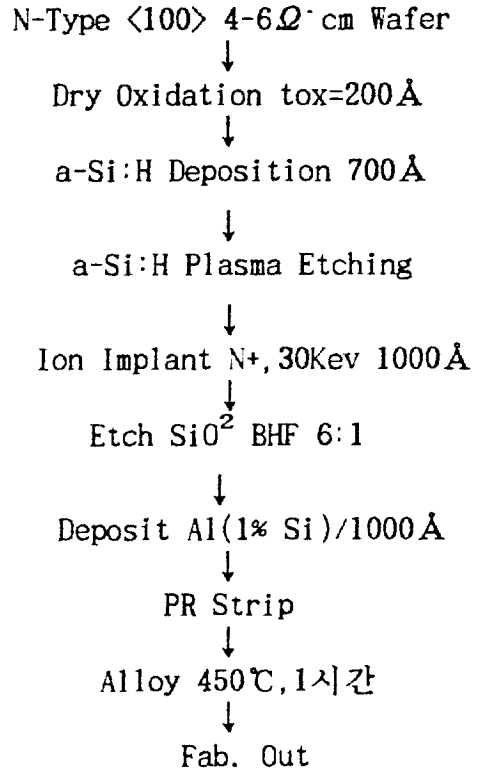


그림 2. TFT 제작 공정의 개요도.

Fig. 2. Fabrication process of TFT .

3. 실험 결과

게이트전압 8-16V 드레인 전압 0-15V 일때 TFT의 출력특성 즉, 드레인 전류와 드레인 전압과의 관계인 출력 특성곡선을 그림 3에 나타내는데 포화드레인 전류의 포화점은 4.5V 이상의 높은 드레인 전압에서 발생 하였고 드레인 전압이 증가할수록 포화 드레인 전류도 약간씩 증가함을 보여서 전형적인 TFT I-V 특성과 같게 되었다. 채널 폭 1000 μm 와 채널길이 100 μm 의 비가 W/L = 10 일때 제작된 TFT게이트 전압과 드레인 전류의 V_g-I_d 히스테리시스특성 곡선을 그림 4에 나타낸다. 게이트전압을 -15V에서 15V 까지 증가시켰을 때 제작된 TFT I-V 커브는 명확한 드레인 전류의 히스테리시스 특성 곡선을 나타내었다. V_g가 -15V부터 증가함에 따라서 I_d는 최초에는 약간 감소를 보이며 턴온(turn on) 전압이 되는 -3V를 지나면서 I_d는 점차 증가하기 시작하여 턴오프(turn off) 전압인 13V에서 I_d는 순방향으로 포화되어 더 이상의 상승을 보이지 않는다. 또한 15V에서 부터 -15V로 전압을 감소시키면 8V 부근에서 I_d가 급격

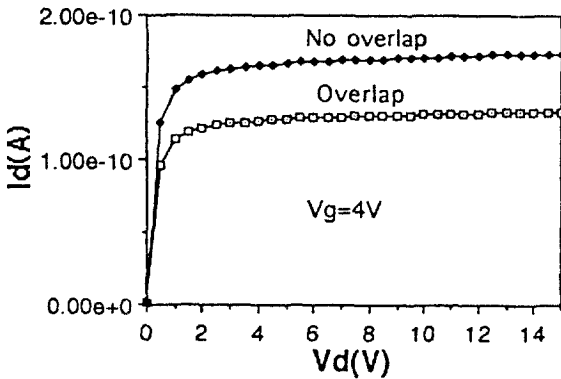


그림 6. 오버랩이 존재 할 때의 출력특성 곡선
 Fig. 6. DC output characteristics when overlap occurrence.

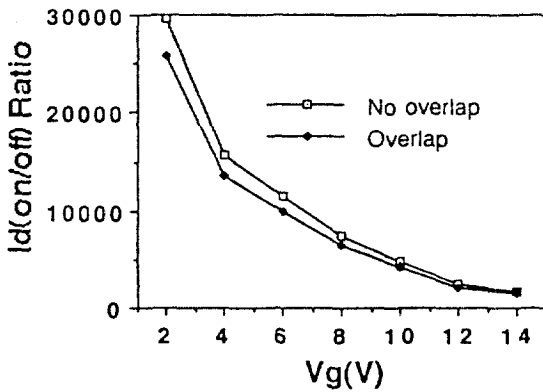


그림 7. 오버랩이 존재 할 때 드레인 전류의 온-오프 비
 Fig. 7. Id(on/off)ratio when overlap occurrence.

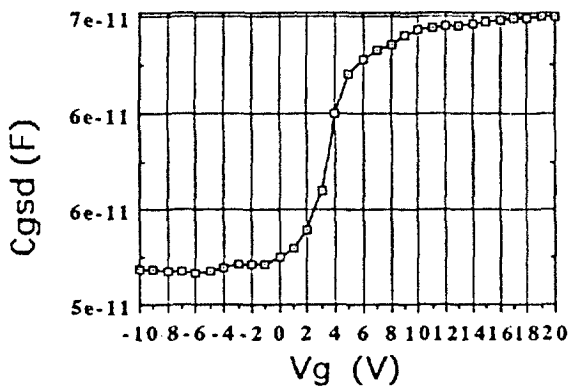


그림 8. 게이트 전압 증가에 따른 Cgsd값의 변화.
 Fig. 8. Cgsd variation by increasing gate voltage.

스, 드레인 사이의 캐패시턴스 C_{GSD} 값의 변화를 그림8에 나타낸다. 이 C_{GSD} 값은 2V 이하에서는 낮은값을 나타냈고 2V 이상에서는 2V이하에서 보다는 더 높은값을 나타내어서 전형적인 TFT C-V 특성과 같게 됨을 보였다.

4. 결 론

인버티드 스테거형 TFT 를 PECVD 방법에 의해 제작하였고 드레인 전압과 드레인 전류에 대한 I-V, C-V 특성을 실험적으로 측정하고 분석하였는데 TFT의 출력특성인 드레인 전류와 드레인 전압특성에서 포화드레인 전류의 포화점은 4.5V 이상의 높은 드레인 전압에서 발생 하였고 드레인 전압이 증가 할수록 포화 드레인 전류도 약간씩 증가함을 보여서 전형적인 TFT I-V 특성과 같게 되었다. V_g-I_d 히스테리시스특성 곡선에서 게이트 전압을 -15V에서 15V 까지 증가시켰을때 제작된 TFT에서는 명확한 드레인 전류의 히스테리시스 특성곡선을 보였다. TFT 채널에서의 비정질 실리콘의 전자가 전류의 증가로 인한 고온으로 인하여 더욱더 활성화 되기 때문에 전압이 증가할수록 드레인 전류는 증가 하게 되었다. Vg-Id 전압특성 곡선에서 드레인 전류의 로그-로그 프로트는 드레인 전압이 증가함에 따라서 드레인 전류가 증가함을 보였다. 또 비정질 실리콘의 국부적인 에너지 갭(gap)상태에서 확대상태 까지의 전자의 활성화에 너지는 게이트 전압이 증가 함에 따라서 감소되어 높은 드레인 전압에서 드레인 전류의 증가폭은 적게 되었다.

TFT에 오버랩이 존재 하므로서 전자의 터널링이 더욱 어렵게 되어 오버랩이 존재 할 경우에 오버랩이 없을 경우 보다 드레인 전류가 더 증가됨을 보였다. 드레인 전류의 온-오프 비는 게이트 전압이 증가함에 따라서 지수 함수적인 감소를 나타내었으며 오버랩이 존재할 때의 전자의 터널링 때문에 오버랩이 존재할 경우의 온-오프 비는 오버랩이 존재 하지 않았을 경우보다 더 낮은 값의 온-오프비를 보였다. 게이트와 소오스, 드레인 사이의 캐패시턴스 C_{GSD} 값은 Vg가 2V 이하에서는 낮은값을 나타냈고 2V 이상에서는 2V이하에서 보다는 더 높은값을 나타내어서 전형적인 TFT C-V 특성과 같게 되었다.

※ 이 논문은 한국 과학재단지정 지역협력 연구센터인 조선대학교 수송기계 부품 공장자동화 연구센터의 1995~1997년도 연구비 지원에 의해서 연구 되었음.